

# 대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

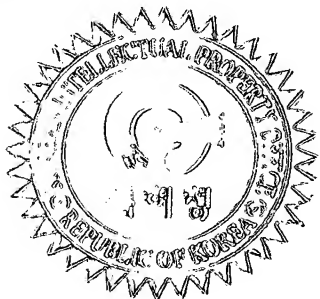
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0024508  
Application Number

출원년월일 : 2003년 04월 17일  
Date of Application APR 17, 2003

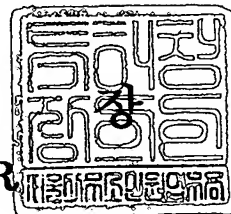
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 06 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.17
【발명의 명칭】	평판표시장치
【발명의 영문명칭】	Flat panel display
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00, JAE BON
【주민등록번호】	720706-1767718
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상일
【성명의 영문표기】	PARK, SANG IL
【주민등록번호】	750320-1042314
【우편번호】	158-074
【주소】	서울특별시 양천구 신정4동 983-12호
【국적】	KR
【발명자】	
【성명의 국문표기】	이을호
【성명의 영문표기】	LEE, UL HO
【주민등록번호】	720614-1575710

【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 157-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김진수
【성명의 영문표기】	KIM, JIN S00
【주민등록번호】	690405-1052526
【우편번호】	449-907
【주소】	경기도 용인시 기흥읍 신갈리 165 현대아파트 201동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	정진웅
【성명의 영문표기】	JUNG, JIN WOUNG
【주민등록번호】	730402-2221727
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지아파트 909-1504
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0061082
【출원일자】	2002.10.07
【증명서류】	미첨부
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원
【우선권주장료】	1 건 26,000 원
【심사청구료】	23 항 845,000 원
【합계】	911,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 단위화소당 유기전계 발광소자를 통해 흐르는 전류량을 제어하여 적절한 휘도 및 장수명화를 얻을 수 있는 유기전계 발광표시장치에 관한 것이다.

본 발명의 액티브 매트릭스 유기전계 발광표시장치는 유기전계 발광소자와; 데이터 신호를 전달하기 위한 스위칭 트랜지스터와; 상기 데이터신호에 따라서 상기 유기전계 발광소자를 통해 일정량의 전류가 흐르도록 상기 유기전계 발광소자를 구동하는 구동트랜지스터를 포함하며, 상기 구동 트랜지스터는 상기 스위칭 트랜지스터보다 큰 저항값을 갖는다.

## 【대표도】

도 3b

**【명세서】****【발명의 명칭】**

평판표시장치{Flat panel display}

**【도면의 간단한 설명】**

도 1은 일반적인 액티브 매트릭스 유기전계 발광표시장치에 있어서, 단위화소에 대한 등가회로도,

도 2는 종래의 액티브 매트릭스 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면구조를 도시한 도면,

도 3a는 본 발명의 제1실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동트랜지스터의 평면구조도,

도 3b는 본 발명의 제1실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동 트랜지스터의 단면구조도,

도 4a는 본 발명의 제2실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동 트랜지스터의 평면구조도,

도 4b는 본 발명의 제2실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동 트랜지스터의 단면구조도,

도 5a는 본 발명의 제3실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동 트랜지스터의 평면구조도,

도 5b는 본 발명의 제3실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티게이트를 구비한 구동 트랜지스터의 단면구조도,

도 6a는 본 발명의 제4실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동 트랜지스터의 평면구조도,

도 6b는 본 발명의 제4실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 멀티 게이트를 구비한 구동 트랜지스터의 단면구조도,

도 7은 본 발명의 제5실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 오프셋영역을 구비한 구동 트랜지스터의 평면구조도,

도 8은 본 발명의 제6실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 오프셋영역을 구비한 구동 트랜지스터의 평면구조도,

도 9는 본 발명의 액티브 매트릭스 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 게이트 전압에 대한 구동전류를 나타낸 도면,

\*도면의 주요 부분에 대한 부호의 설명\*

320, 420, 520, 620, 720, 820 : 반도체층

321, 421, 521, 621, 721, 821 : 고농도 소오스영역

325, 425, 525, 625, 725, 825 : 고농도 드레인 영역

330, 430, 530, 630, 723, 727, 823, 827 : 오프셋영역

340, 440, 540, 640, 740, 840 : 게이트

351, 355, 451, 455, 551, 555, 651, 655, 751, 755, 851, 855 : 콘택

361, 461, 561, 661, 761, 861 : 소오스전극

365, 465, 565, 665, 765, 865 : 드레인 전극

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <23> 본 발명은 액티브 매트릭스형 평판표시장치에 관한 것으로서, 보다 상세하게는 각 단위화소당 유기전계 발광소자(EL)를 통해 흐르는 전류량을 제어하여 적정 휘도의 발생이 가능하고, 장수명화가 가능한 유기전계 발광표시장치에 관한 것이다.
- <24> 평판표시장치인 액티브 매트릭스형 유기전계 발광표시장치(AMOLED)는 점차 고해상도 패널이 요구되는데, 유기전계 발광소자와 상기 유기전계 발광소자를 구동하기 위한 구동 트랜지스터의 특성상 고해상도 패널을 제작하는데 많은 어려움이 있었다.
- <25> 예를 들어,  $45.5\mu\text{m} \times 136.5\mu\text{m}$ 의 화소크기, 180ppi 이상의 해상도를 갖는 5인치 WVGA급 AMOLED의 경우, 단위면적당  $50\text{cd}/\text{m}^2$ 의 휘도를 발생하고, 상기 휘도를 발생하기 위해서 단위화소당 EL 소자에 적정량의 전류가 흐르는 것이 바람직하다. 이는 단위화소당 EL 소자에 흐르는 전류량이 한계치를 초과하게 되면, 한계치이상의 전류량에 의해 단위면적당 휘도가 크게 증가하고, 이에 따라 EL 소자의 수명이 급격히 감소하게 되기 때문이다.
- <26> 따라서, 하나의 화소 즉, 하나의 EL 소자를 발광시키기 위해서는 단위면적당 소정 휘도를 내기 위한 적정 전류가 EL 소자를 통해 흐르는 것이 바람직하다.
- <27> 도 1은 일반적인 액티브 매트릭스 유기전계 발광표시장치에 있어서, 하나의 단위화소에 대한 등가회로도들을 도시한 것이다. 도 1을 참조하면, 일반적인 유기전계 발광표시장치(100)는 게이트라인(110), 데이터 라인(120) 및 공통전원라인(130)에 연결되는 단위화소(150)를 구비한다. 상기 단위화소(150)는 스위칭 트랜지스터(151)와 구동 트랜지스

터(155)의 2개의 p형 박막 트랜지스터(TFT)와, 하나의 캐패시터(153) 및 하나의 유기전계 발광소자(EL 소자, 157)로 이루어진다.

<28>      상기 스위칭 트랜지스터(151)는 게이트라인(110)에 인가되는 스캔신호(Scan)에 의해 구동되어 데이터라인(120)에 인가되는 데이터신호(data)를 스위칭시켜 주는 역할을 한다. 상기 구동 트랜지스터(155)는 상기 스위칭 트랜지스터(151)를 통해 전달되는 데이터신호(data)에 따라서 즉, 게이트와 소오스간의 전압차( $V_{gs}$ )에 의해서 EL소자(157)를 통해 흐르는 전류량을 결정한다. 상기 캐패시터(153)는 구동 트랜지스터(155)의 게이트와 소오스간 전압차( $V_{gs}$ )을 유지시켜 주는 역할을 한다.

<29>      도 2는 종래의 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면구조를 도시한 것이다.

<30>      도 2를 참조하면, 종래의 구동 트랜지스터는 반도체층(220)과, 게이트 전극(240) 및 소오스/드레인 전극(261), (265)을 구비한다. 상기 반도체층(220)은 상기 게이트 전극(240)에 대응되는 부분에 형성된 채널영역(224)과, 상기 채널영역(224)의 양측에 형성된 고농도 소오스/드레인 영역(221), (225)을 구비한다. 상기 소오스/드레인 전극(261), (266)은 콘택홀(251), (255)을 통해 상기 고농도 소오스/드레인 영역(221), (225)과 전기적으로 연결되도록 형성된다.

<31>      상기 구동 트랜지스터로 저온폴리실리콘막을 이용하여 제조된 TFT를 사용하는데, 저온 폴리실리콘 TFT 는 도 9에 도시된 바와같이 이동도가 크고 오프상태의



1020030024508

전류(off current)가 작기 때문에 전류구동방식의 AMOLED 에 적합하다. 180ppi 이상의 AMOLED 는 화소크기가 축소되어 애노드전극의 크기가 작아지게 되므로, 구동 트랜지스터를 통해 EL소자로 흐르는 전류량이 커지고 휘도가 지나치게 높아지게 된다. 결국, 단위면적당 전류밀도가 높아져서 EL소자의 수명이 감소하는 문제점이 있었다.

<32> 즉, 구동 트랜지스터의 게이트전압( $V_g$ )에 대한 드레인전류( $I_d$ )와의 관계가 도식된 도 9를 참조하면, 종래의 유기전계 발광표시장치에서는, 180ppi 이상의 표시장치에 적합한 온전류(on current) 값인 90nA 보다 1-오더(order)정도 큰  $1\mu A$  또는 그이상의 전류량이 구동 트랜지스터(155)를 통해 흐르게 된다. 따라서, 180ppi 이상의 유기전계 발광표시장치에 적합한 휘도를 얻기 위해서는 구동트랜지스터의 온상태의 전류를 감소시켜주어야 하는 문제점이 있었다.

<33> 한편, 비정질 실리콘으로 된 박막 트랜지스터(a-Si TFT)를 AMOLED의 구동 트랜지스터에 적용하게 되면, EL 소자를 통해 EL소자로 흐르는 전류량은 감소시킬 수 있지만, 누설전류가 큰 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<34> 따라서, 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 적정휘도를 얻으며, 장수명화를 도모할 수 있는 액티브 매트릭스 유기전계 발광표시장치를 제공하는 데 그 목적이 있다.

<35> 본 발명의 다른 목적은 유기전계 발광소자에 흐르는 전류량을 제어하여 단위면적당 적정한 휘도를 얻을 수 있는 액티브 매트릭스 유기전계 발광표시장치를 제공하는 데 있다.

<36> 본 발명의 다른 목적은 구동 트랜지스터의 저항값을 변경하여 유기전계 발광소자에 흐르는 전류량을 제어함으로써, 표시장치에 적합한 휘도를 얻을 수 있는 액티브 매트릭스 유기전계 발광표시장치를 제공하는 데 있다.

<37> 본 발명의 또 다른 목적은 스위칭 트랜지스터는 고속의 스위칭동작을 하고, 구동 트랜지스터에 의해 유기전계 발광소자로 흐르는 전류를 제어하여 적정휘도를 얻을 수 있는 고속 평판표시장치를 제공하는 데 있다.

<38> 본 발명의 또 다른 목적은 소형 고해상도에 적합한 액티브 매트릭스 유기전계 발광 표시장치를 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<39> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 발광소자와; 상기 발광소자를 구동시켜 주기위한 제1 및 제2 트랜지스터를 포함하며, 상기 제1 및 제2트랜지스터는 서로 다른 저항값을 갖는 평판표시장치를 제공하는 것을 특징으로 한다.

<40> 상기 제1트랜지스터는 상기 발광소자를 구동시켜 주기위한 구동 트랜지스터이고, 상기 제2트랜지스터는 상기 구동 트랜지스터의 온,오프를 스위칭하기 위한 스위칭 트랜지스터이며, 구동 트랜지스터는 상기 스위칭 트랜지스터보다 큰 저항값을 갖는 것을 특징으로 한다.

<41> 상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 멀티플 게이트와, 고농도 소오스/드레인 영역을 구비한 반도체층과, 상기 멀티플 게이트사이의 반도체층에 고저항영역의 오프셋영역을 구비한다.

- <42>      상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 게이트 전극과, 게이트 전극의 양측에 형성된 고농도 소오스/드레인 영역과, 상기 게이트와 드레인 영역 사이에 고저항의 오프셋영역을 구비한다.
- <43>      상기 오프셋영역은 지그재그형태를 가지며, 상기 고농도 소오스/드레인영역과 동일한 도전형질을 갖는 저농도 불순물이 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역으로 이루어진다.
- <44>      상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 서로 다른 저항값을 갖도록 서로 다른 기하학적 구조를 갖는 고농도 소오스/드레인영역을 구비하고, 상기 고농도 소오스/드레인영역중 상기 발광소자에 연결되는 영역이 다른 영역에 비하여 큰 저항값을 갖는다.
- <45>      상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 서로 다른 저항값을 갖도록 서로 다른 크기를 갖는 고농도 소오스/드레인영역을 구비하고, 상기 고농도 소오스/드레인영역중 상기 발광소자에 연결되는 영역이 다른 영역에 비하여 작은 크기를 갖는다. 상기 트랜지스터의 상기 고농도 소오스/드레인영역중 상기 발광소자에 연결되는 영역이 다른 영역과 폭은 같고 길이는 더 길거나, 또는 길이는 같고 폭은 더 작은 것을 특징으로 한다.
- <46>      또한, 본 발명은 R, G, B 단위화소를 포함하며, 상기 각 R, G, B 단위화소중 적어도 하나의 단위화소는, 소오스/드레인영역을 구비하는 적어도 2개이상의 트랜지스터를 구비하며, 상기 트랜지스터중 적어도 하나의 트랜지스터는 상기 소오스/드레인영역중 적어도 드레인영역은 다른 트랜지스터의 적어도 드레인영역과는 다른 저항값을 갖는 평판 표시장치를 제공하는 것을 특징으로 한다.

- <47> 또한, 본 발명은 R, G, B 단위화소를 포함하며, 상기 각 R, G, B 단위화소중 적어도 하나의 단위화소는 적어도 2개이상의 트랜지스터를 구비하며, 상기 트랜지스터중 적어도 하나의 트랜지스터의 게이트영역의 저항값은 다른 트랜지스터의 게이트영역의 저항값과 다른 평판표시장치를 제공하는 것을 특징으로 한다.
- <48> 상기 적어도 하나의 트랜지스터와 다른 트랜지스터의 드레인영역 또는 게이트영역은 드레인영역의 도핑농도차 또는 형상차에 의해 서로 다른 저항값을 갖는다. 상기 적어도 하나의 트랜지스터의 드레인영역 또는 드레인영역은 상기 드레인영역과 동일도전형이고 저농도의 불순물이 전체적으로 또는 부분적으로 도핑된 영역 또는 불순물이 도핑되지 않은 영역이다. 상기 적어도 하나의 트랜지스터의 드레인영역 또는 게이트영역은 지그재그형상을 갖거나 또는 다른 트랜지스터의 드레인영역보다 길이가 길거나 또는 폭이 좁은 것을 특징으로 한다.
- <49> 상기 적어도 하나의 트랜지스터는 드레인영역이 고저항의 오프셋영역이거나, 또는 이들사이에 고저항의 오프셋영역이 구비된 멀티플 게이트를 구비하것을 특징으로 한다.
- <50> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.
- <51> 도 3a 내지 도 3b는 본 발명의 제1실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면구조 및 단면구조를 도시한 것으로서, 도 3b는 도 3a의 3B-3B'선에 따른 단면구조이다. 제1실시예에 따른 구동 트랜지스터는 게이트 전극을 멀티플 게이트로 형성하고, 상기 멀티플 게이트사이의 반도체층에 고저항영역인 오프셋영역을 형성하여 EL 소자로 흐르는 전류량을 제어하는 것이다.

- <52> 도 3a 및 도 3b를 참조하면, 제1실시에 따른 구동 트랜지스터는 반도체층(320), 게이트전극(340) 및 소오스/드레인 전극(361), (365)를 구비한다. 상기 게이트전극(340)은 상기 반도체층(320)에 대응되는 멀티플 게이트(341), (345)를 구비한다. 상기 소오스/드레인 전극(361), (365)는 콘택(351), (355)을 통해 반도체층(320)에 형성된 고농도 소오스/드레인 영역(321), (325)과 전기적으로 콘택되어진다.
- <53> 상기 반도체층(320)은 상기 멀티플 게이트(341), (345)에 대응되는 부분에 형성된 멀티플 채널영역(323), (327)과, 상기 채널층(323), (327)의 일측에 형성된 고농도 소오스/드레인 영역(321), (325)과, 상기 멀티플 게이트(341), (345)사이 즉, 멀티플 채널영역(323), (327)사이에 형성된 오프셋영역(330)을 구비하며, "ㄷ" 자형 구조를 갖는다.
- <54> 상기 고저항영역의 오프셋영역(330)은 상기 고농도 소오스/드레인 영역(321), (325)과 동일한 도전형을 갖는 불순물이 상기 소오스/드레인 영역의 도핑농도보다는 낮은 농도로 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역(intrinsic region)으로 이루어진다.
- <55> 상기 구동 트랜지스터는 멀티플 게이트(341), (345)사이에 고농도 오프셋영역(330)이 형성되어, 구동 트랜지스터의 턴온시 도 1의 노드(a)와 노드(c)간의 저항값이 증가하므로, 구동 트랜지스터를 통해 흐르는 전류( $I_d$ )가 감소하게 되고, 이에 따라 EL소자(157)를 통해 흐르는 전류량도 감소된다. 따라서, 단위화소당 EL 소자(157)를 통해 흐르는 전류량을 조절하여 준다.
- <56> 제1실시에 따른 유기전계 발광표시장치에서는, 스위칭 트랜지스터는 통상적인 OLED에서 사용되는 구조, 예를 들어 도 2에 도시된 바와같은 구조를 적용하고, 구동트랜

지스터는 상기한 바와같이 멀티 게이트(341), (345)사이의 고저항을 갖는 오프셋영역(330)을 형성한다. 따라서, 제1실시예에서는 고속 스위칭동작을 그대로 유지하면서도, 오프셋영역(330)의 크기(Wd/Ld) 또는 오프셋영역의 도핑농도에 따라 EL 소자로 흐르는 전류량을 감소시켜 준다.

<57> 도 4a 및 도 4b는 본 발명의 제2실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면 및 단면구조를 도시한 것으로서, 도 4b는 도 4a의 4B-4B'선에 따른 단면구조를 도시한 것이다. 제2실시예에 따른 구동 트랜지스터는 게이트 전극을 멀티폴 게이트를 형성하고, 멀티폴 게이트사이의 고저항영역인 오프셋영역의 형상을 변경하여 EL 소자를 통해 흐르는 전류량을 제어하는 것이다.

<58> 도 4a 및 도 4b를 참조하면, 제2실시예에 따른 구동 트랜지스터는 반도체층(420)의 형상을 변경한 것으로서, 도 3a 및 도 3b에 도시된 제1실시예에 따른 구동 트랜지스터와 거의 유사한 구조를 갖는다. 다만, 멀티폴 게이트(441), (445)사이의 오프셋영역(430)을 제1실시예와는 달리 지그재그형상을 갖도록 형성하여 구동 트랜지스터의 저항값을 증가시켜 주는 것만이 다르다. 이때, 상기 지그재그형태의 오프셋영역(430)은 고농도 소오스/드레인 영역(461), (465)과 동일한 도전형의 불순물이 저농도로 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역으로 이루어진 고저항영역이다. 또한, 상기 지그재그형태의 오프셋영역(430)은 고농도 소오스/드레인영역과 동일한 도전형을 갖는 저농도 불순물을 부분적으로 도핑시킨 고저항영역으로 형성할 수도 있다.

<59> 제2실시예에 따른 유기전계 발광표시장치에서는, 구동트랜지스터의 멀티폴 게이트(441), (445)사이에서 형성되는 고저항영역인 오프셋영역(430)의 형상을 변경하여 구동 트

랜지스터의 저항값을 변경하여 줌으로써, 고속 스위칭동작을 그대로 유지하면서도 EL 소자로 흐르는 전류량을 감소시켜 준다.

<60> 도 5a 및 도 5b는 본 발명의 제3실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면 및 단면구조를 도시한 것으로서, 도 5b는 도 5a의 5B-5B'선에 따른 단면구조를 도시한 것이다. 제3실시예에 따른 구동 트랜지스터는 게이트 전극을 멀티폴 게이트를 형성하고, 멀티폴 게이트사이의 고저항영역인 오프셋영역의 도핑상태를 변경하여 EL 소자를 통해 흐르는 전류량을 제어하는 것이다.

<61> 도 5a 및 도 5b를 참조하면, 제3실시예에 따른 구동 트랜지스터는 오프셋영역의 도핑상태를 변경한 것으로서, 도 3a 및 도 3b에 도시된 제1실시예에 따른 구동 트랜지스터와 거의 유사한 구조를 갖는다. 다만, 멀티폴 게이트(541), (545)사이의 오프셋영역(530)이 제1실시예에서는 전체적으로 도핑 또는 비도핑됨에 반하여, 제3실시예에서는 오프셋영역(530)을 부분적으로 도핑시켜 주는 것만이 다르다.

<62> 즉, 제3실시예에 따른 구동 트랜지스터는 오프셋영역(530)이 고농도 소오스/드레인 영역(561), (565)과 동일한 도전형의 저농도 불순물이 도핑된 부분(531)과 이들사이의 불순물이 도핑되지 않은 부분(535)으로 이루어진 부분(531)로 이루어진다.

<63> 제3실시예에 따른 유기전계 발광표시장치에서는, 구동 트랜지스터의 멀티폴 게이트(541), (545)사이에 부분적으로 불순물이 도핑된 고저항의 오프셋영역(530)을 형성하여 줌으로써, 고속 스위칭동작을 그대로 유지하면서도 EL 소자로 흐르는 전류량을 감소시켜 준다. 그러므로, 오프셋영역의 도핑상태 즉, 불순물이 도핑되지 않은 부분의 오프셋길이(Ldoff)에 따라, 원하는 적정 휘도로 발광하는 고속 표시장치를 구현할 수 있다.

- <64> 도 6a 및 도 6b는 본 발명의 제4실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면 및 단면구조를 도시한 것으로서, 도 6b는 도 6a의 6B-6B'선에 따른 단면구조를 도시한 것이다. 제4실시예에 따른 구동 트랜지스터는 게이트 전극을 멀티플 게이트를 형성하고, 멀티플 게이트사이의 고저항영역인 오프셋영역의 폭을 변경하여 EL 소자를 통해 흐르는 전류량을 제어하는 것이다.
- <65> 도 6a 및 도 6b를 참조하면, 제4실시예에 따른 구동 트랜지스터는 오프셋영역의 폭을 변경한 것으로서, 도 3a 및 도 3b에 도시된 제1실시예에 따른 구동 트랜지스터와 거의 유사한 구조를 갖는다. 다만, 멀티플 게이트(641), (645)사이의 오프셋영역(630)이 제1실시예의 폭보다 작은 폭을 갖도록 형성하는 것만이 다르다.
- <66> 즉, 제4실시예에 따른 구동 트랜지스터의 오프셋영역(630)을 길이(Ld)는 제1실시예에서와 동일하게 유지하면서, 폭을 제1실시예보다 작게 하여 오프셋영역(630)의 크기(Wd/Ld)를 변경시켜 줌으로써, 구동 트랜지스터의 저항값을 감소시켜 준다. 이때, 상기 오프셋영역(630)은 고농도 소오스/드레인 영역(661), (665)과 동일한 도전형을 갖는 저농도 불순물이 도핑되거나 또는 도핑되지 않은 고저항 영역이다.
- <67> 제4실시예에 따른 유기전계 발광표시장치에서는, 구동트랜지스터의 멀티플 게이트(641), (645)사이에 형성된 고저항의 오프셋영역(630)의 크기를 변경시켜 줌으로써, 스위칭 트랜지스터는 고속 스위칭동작을 그대로 유지하면서도 EL 소자로 흐르는 전류량을 감소시켜준다.
- <68> 본 발명의 제1 내지 제4실시예의 구동 트랜지스터에 있어서, 상기 반도체층은 "ㄷ"형 구조로 형성되고 게이트전극은 듀얼 게이트로 형성되었으나, 반도체층 및 게이트에



상기 구동 트랜지스터의 저항값을 변화시켜 줄 수 있는 다양한 구조를 적용할 수 있다.

<69> 본 발명의 제1 내지 제4실시예에서는, 스위칭 트랜지스터의 게이트영역을 게이트하부의 채널영역이라 하고, 구동 트랜지스터의 게이트영역을 멀티게이트하부의 멀티채널영역과 멀티게이트사이의 오프셋영역이라 하면, 구동 트랜지스터의 게이트영역이 오프셋영역의 도핑 및 형상의 다양한 변경에 의해 스위칭 트랜지스터의 게이트영역과는 다른 저항값을 갖도록 형성하여 줌으로써, EL소자로 흐르는 전류량을 제어함으로써, 고속 스위칭 및 저소비전류의 OLED를 구현할 수 있다.

<70> 도 7은 본 발명의 제5실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면구조를 도시한 것이다.

<71> 도 7을 참조하면, 제5실시예에 따른 구동 트랜지스터는 반도체층(720), 게이트 전극(740) 및 소오스/드레인 전극(761), (766)을 구비한다. 상기 반도체층(720)은 상기 게이트전극(740)에 대응하는 채널영역(724)과, 상기 채널영역(724)의 양측에 형성된 고농도 소오스/드레인 영역(721), (725)을 구비한다. 상기 고농도 소오스/드레인 영역(721), (725)은 콘택(751), (755)을 통해 소오스/드레인 전극(761), (765)과 전기적으로 접촉되어진다.

<72> 또한, 상기 반도체층(720)은 상기 게이트전극(740)과 소오스/드레인 영역(721), (725)사이에 각각 형성된 고저항의 오프셋영역(723), (727)을 더 구비한다. 상기 오프셋영역(723), (727)은 상기 고농도 소오스/드레인영역(721), (725)과 동일도전형을 갖는 저농도 불순물이 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역으로 이루어진 고저항영역이다. 또한, 상기 드레인 오프셋영역(723), (727)은 고농도 소오소/

드레인영역과 동일한 도전형을 갖는 저농도 불순물을 부분적으로 도핑시킨 고저항영역으로 형성할 수도 있다.

<73> 제5실시예에 따른 구동 트랜지스터는 게이트전극(740)과 고농도 드레인영역(725) 사이에 고저항영역(727)을 형성하여 줌으로써, 구동 트랜지스터의 턴온시 드레인영역(725) (도 1의 노드 d)의 저항값이 증가하게 되므로, 구동 트랜지스터를 통해 흐르는 전류(Id)가 감소하게 되어 EL소자(157)를 통해 흐르는 전류량도 감소되어진다.

<74> 제5실시예에 따른 유기전계 발광표시장치에서는, 구동트랜지스터의 고저항의 오프셋영역(730)의 크기 및 도핑농도에 따라 트랜지스터의 저항값을 변경시켜 줌으로써, 스위칭 트랜지스터는 고속 스위칭동작을 그대로 유지하면서도 EL 소자로 흐르는 전류량을 감소시켜준다.

<75> 도 8은 본 발명의 제6실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 평면구조를 도시한 것이다.

<76> 도 8을 참조하면, 본 발명의 제6실시예에 따른 구동 트랜지스터는 도 7에 도시된 제5실시예에 따른 구동 트랜지스터와 거의 유사한 구조를 갖는다. 다만, 드레인 오프셋영역(827)을 지그재그형상을 갖도록 형성하는 것만이 다르다. 상기 드레인 오프셋영역(827)은 상기 고농도 소오스/드레인 영역(821), (825)과 동일 도전형의 저농도 불순물이 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역으로 이루어진 고저항영역이다. 또한, 상기 지그재그형태의 드레인 오프셋영역(827)은 고농도 소오스/드레인영역과 동일한 도전형을 갖는 저농도 불순물을 부분적으로 도핑시킨 고저항영역으로 형성할 수도 있다.

- <77> 제6실시예에 따른 유기전계 발광표시장치에서는, 구동트랜지스터의 고저항의 오프셋영역(730)의 형상을 변경하여 트랜지스터의 저항값을 변경시켜 줌으로써, 스위칭 트랜지스터는 고속 스위칭동작을 그대로 유지하면서도 EL 소자로 흐르는 전류량을 감소시켜 준다.
- <78> 본 발명의 제6실시예에서는 드레인영역에 오프셋영역의 형성하여 형상을 변경시켜 주었으나, 드레인 영역에 오프셋영역을 형성하지 않고 드레인 영역의 형상을 지그재그형태로 변경하여 드레인 저항값을 변경시켜 주거나 또는 드레인 영역의 크기(W/L)를 변경시켜 드레인 저항값을 변경시켜 주는 것도 가능하다.
- <79> 본 발명의 제5 및 제6실시예에서는 구동 트랜지스터의 소오스/드레인 영역에 오프셋영역을 형성하였으나, 소오스영역에는 오프셋영역을 형성하지 않고 드레인 영역에만 오프셋영역을 형성할 수도 있다. 또한, 드레인 오프셋영역을 지그재그형태이외에 다양한 구조로 형성하여 드레인 영역의 저항값을 변경할 수도 있다.
- <80> 한편, 드레인 오프셋영역의 저항값을 변경시켜 주는 또 다른 방법으로는 드레인 오프셋영역의 크기 즉 ( $W_d/L_d$ )를 변경시켜주는 방법이 있으며, 이 방법은 오프셋영역의 폭이 일정한 상태에서 길이를 증가시켜 주거나 또는 길이가 일정한 상태에서 폭을 감소시켜 오프셋영역의 크기( $W_d/L_d$ )를 감소시켜 상대적으로 드레인영역을 통해 흐르는 전류량을 감소시켜 주는 것이다.
- <81> 본 발명의 제5 내지 제6실시예에서는, 구동 트랜지스터의 오프셋영역을 포함한 드레인영역의 도핑 및 형상의 다양한 변경에 의해 스위칭 트랜지스터의 게이트영역과는 다른 저항값을 갖도록 형성하여 줌으로써, EL소자로 흐르는 전류량을 제어함으로써, 고속 스위칭 및 저소비전류의 OLED를 구현할 수 있다.

<82>      상기에서 설명한 바와같은 본원 발명의 제1 내지 제6실시예에 따른 박막 트랜지스터는 하나의 화소를 구성하는 스위칭 트랜지스터와 구동 트랜지스터에 대하여서만 설명하였으나, 하나의 화소를 구성하는 R, G, B 단위화소에 모두 적용할 수도 있으며, R, G, B 단위화소중 해당하는 단위화소에 대해서만 적용할 수 있다.

#### 【발명의 효과】

<83>      상기한 바와 같은 본 발명의 실시예에 따른 유기전계 발광표시장치에 따르면, 스위칭 트랜지스터는 통상적인 폴리실리콘 TFT 로 형성하고, 구동 트랜지스터는 저항값을 증가시켜 주기 위하여 멀티플 게이트의 도핑농도 또는 기하학적인 형태를 변경하거나 또는 드레인 영역 및 드레인 오프셋영역의 도핑농도 또는 기하학적인 형태를 변경하여 형성한다. 그러므로, 스위칭 트랜지스터는 고속 스위칭동작을 하고, 구동 트랜지스터는 저항값에 따라 EL소자로 흐르는 전류량을 제어함으로써 원하는 적절한 휘도를 얻을 수 있다. 또한, EL 소자로 흐르는 전류량을 제어함에 따라 평판표시소자에 적합한 휘도를 발생하므로, 소자의 수명을 연장시킬 수 있다.

<84>      또한, 각 화소당 구동 트랜지스터가 차지하는 면적을 증가시키지 않고 유기전계 발광소자에 흐르는 전류량만을 조절하여 줌으로써, 개구율의 감소문제를 해결하고, 신뢰성을 향상시킬 수 있는 이점이 있다.

<85>      상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

발광소자와;

상기 발광소자를 구동시켜 주기위한 제1 및 제2 트랜지스터를 포함하며,

상기 제1 및 제2트랜지스터는 서로 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 2】**

제1항에 있어서, 상기 제1트랜지스터는 상기 발광소자를 구동시켜 주기위한 구동 트랜지스터이고, 상기 제2트랜지스터는 상기 구동 트랜지스터의 온,오프를 스위칭하기 위한 스위칭 트랜지스터이며, 구동 트랜지스터는 상기 스위칭 트랜지스터보다 큰 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 3】**

제1항에 있어서, 상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 멀티플 게이트와, 고농도 소오스/드레인 영역을 구비한 반도체층과, 상기 멀티플 게이트사의 반도체층에 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

**【청구항 4】**

제1항에 있어서, 상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 게이트 전극과, 게이트 전극의 양측에 형성된 고농도 소오스/드레인 영역과, 상기 게이트와 드레인 영역사이에 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

**【청구항 5】**

제3항 또는 제4항에 있어서, 상기 오프셋영역은 상기 고농도 소오스/드레인영역과 동일 도전형을 갖는 저농도 불순물이 전체적으로 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역으로 이루어진 고저항영역이거나 또는 저농도 불순물이 부분적으로 도핑된 고저항영역인 것을 특징으로 하는 평판표시장치.

**【청구항 6】**

제3항 또는 제4항에 있어서, 상기 오프셋영역은 지그재그형태를 갖는 고저항영역인 것을 특징으로 하는 평판표시장치.

**【청구항 7】**

제1항에 있어서, 상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 서로 다른 저항값을 갖도록 서로 다른 기하학적 구조를 갖는 고농도 소오스/드레인영역을 구비하고, 상기 고농도 소오스/드레인영역중 상기 발광소자에 연결되는 영역이 다른 영역에 비하여 큰 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 8】**

제1항에 있어서, 상기 제1 및 제2트랜지스터중 큰 저항값을 갖는 트랜지스터는 서로 다른 저항값을 갖도록 서로 다른 크기를 갖는 고농도 소오스/드레인영역을 구비하고, 상기 고농도 소오스/드레인영역중 상기 발광소자에 연결되는 영역이 다른 영역에 비하여 작은 크기를 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 9】**

제8항에 있어서, 상기 트랜지스터의 상기 고농도 소오스/드레인영역중 상기 발광소자에 연결되는 영역이 다른 영역과 폭은 같고 길이는 더 길거나, 또는 길이는 같고 폭은 더 작은 것을 특징으로 하는 평판표시장치.

**【청구항 10】**

R, G, B 단위화소를 포함하며,

상기 각 R, G, B 단위화소중 적어도 하나의 단위화소는, 소오스/드레인영역을 구비하는 적어도 2개이상의 트랜지스터를 구비하며,

상기 트랜지스터중 적어도 하나의 트랜지스터는 상기 소오스/드레인영역중 적어도 드레인영역은 다른 트랜지스터의 적어도 드레인영역과는 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 11】**

제10항에 있어서, 상기 적어도 하나의 트랜지스터와 다른 트랜지스터의 드레인영역은 드레인영역의 도핑농도차에 의해 서로 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 12】**

제11항에 있어서, 상기 적어도 하나의 트랜지스터의 드레인영역은 상기 드레인영역과 동일도전형이고 저농도의 불순물이 전체적으로 또는 부분적으로 도핑된 영역 또는 불순물이 도핑되지 않은 영역인 것을 특징으로 하는 평판표시장치.

**【청구항 13】**

제10항에 있어서, 상기 적어도 하나의 트랜지스터와 다른 트랜지스터의 드레인영역은 드레인영역의 형상차에 의해 서로 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 14】**

제13항에 있어서, 상기 적어도 하나의 트랜지스터의 드레인영역은 지그재그형상을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 15】**

제13항에 있어서, 상기 적어도 하나의 트랜지스터의 드레인영역은 다른 트랜지스터의 드레인영역과 폭은 일정하고 길이가 길거나 또는 길이는 일정하고 폭이 좁은 것을 특징으로 하는 평판표시장치.

**【청구항 16】**

제11항 또는 제13항에 있어서, 상기 적어도 하나의 트랜지스터의 드레인영역은 고정하의 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

**【청구항 17】**

R, G, B 단위화소를 포함하며,

상기 각 R, G, B 단위화소중 적어도 하나의 단위화소는 적어도 2개이상의 트랜지스터를 구비하며,

상기 트랜지스터중 적어도 하나의 트랜지스터의 게이트영역의 저항값은 다른 트랜지스터의 게이트영역의 저항값과 다른 것을 특징으로 하는 평판표시장치.



**【청구항 18】**

제17항에 있어서, 상기 적어도 하나의 트랜지스터와 다른 트랜지스터의 게이트영역은 게이트영역의 도핑농도차에 의해 서로 다른 저항값을 갖는 것을 특징으로 평판표시장치.

**【청구항 19】**

제18항에 있어서, 상기 적어도 하나의 트랜지스터의 게이트영역은 저농도 불순물이 전체적으로 또는 부분적으로 도핑된 영역 또는 불순물이 도핑되지 않은 영역인 것을 특징으로 하는 평판표시장치.

**【청구항 20】**

제18항에 있어서, 상기 적어도 하나의 트랜지스터와 다른 트랜지스터의 게이트영역은 게이트영역의 형상차에 의해 서로 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 21】**

제20항에 있어서, 상기 적어도 하나의 트랜지스터의 게이트영역은 지그재그형상을 갖는 것을 특징으로 하는 평판표시장치.

**【청구항 22】**

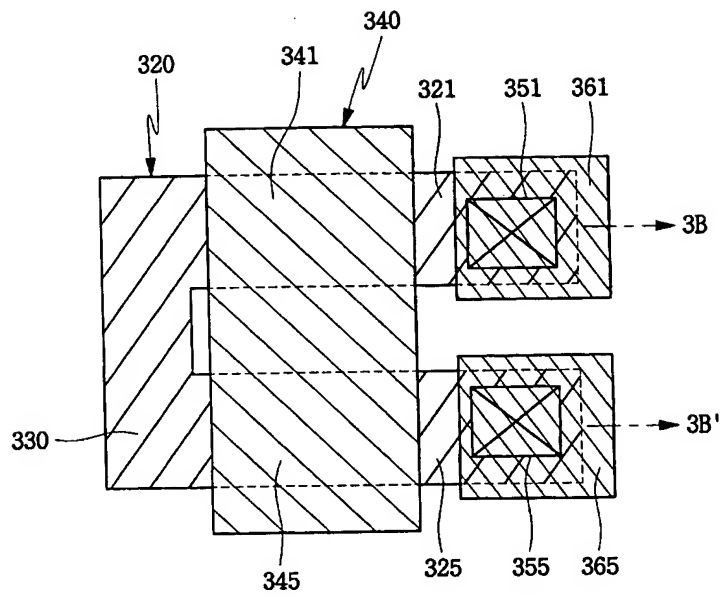
제20항에 있어서, 상기 적어도 하나의 트랜지스터의 게이트영역은 다른 트랜지스터의 게이트영역보다 길이가 길거나 또는 폭이 좁은 것을 특징으로 하는 평판표시장치.

**【청구항 23】**

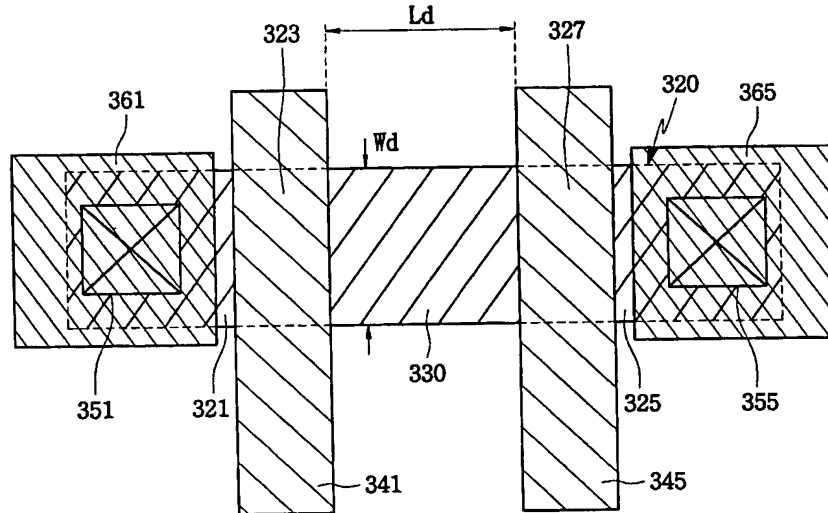
제18항 또는 제20항에 있어서, 상기 적어도 하나의 트랜지스터는 멀티플 게이트를 구비하고, 상기 멀티플 게이트사이에 고저항의 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.



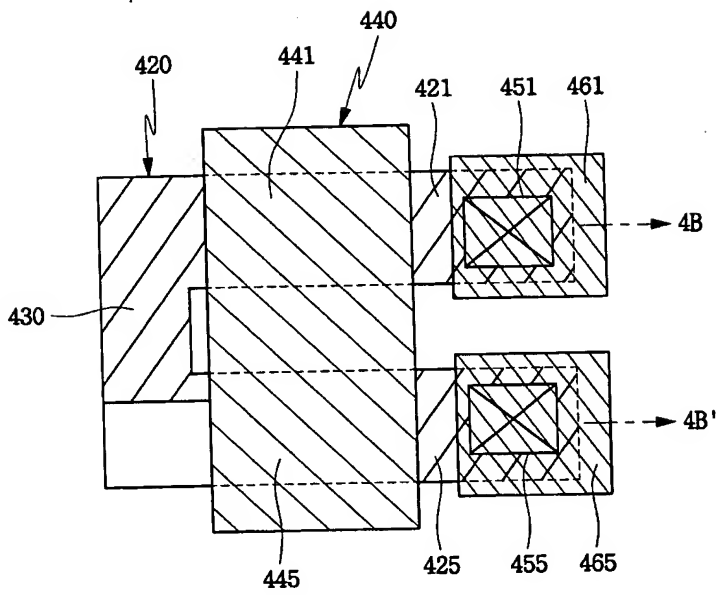
【도 3a】



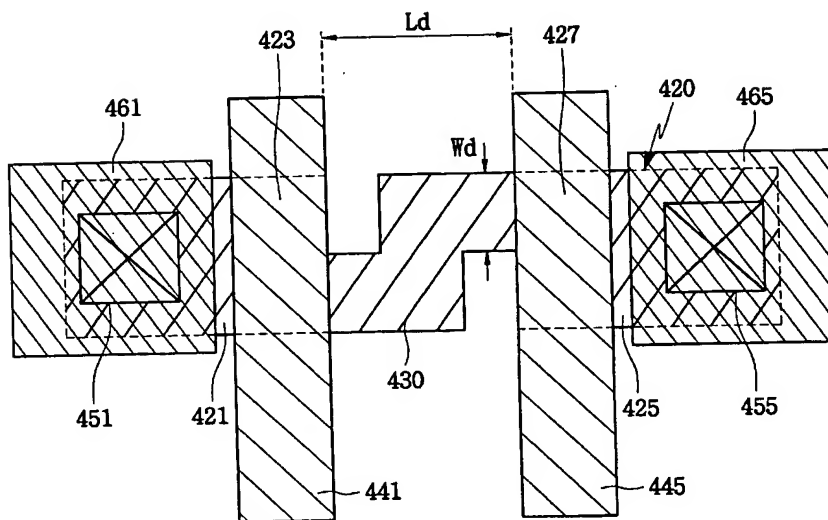
【도 3b】



【도 4a】

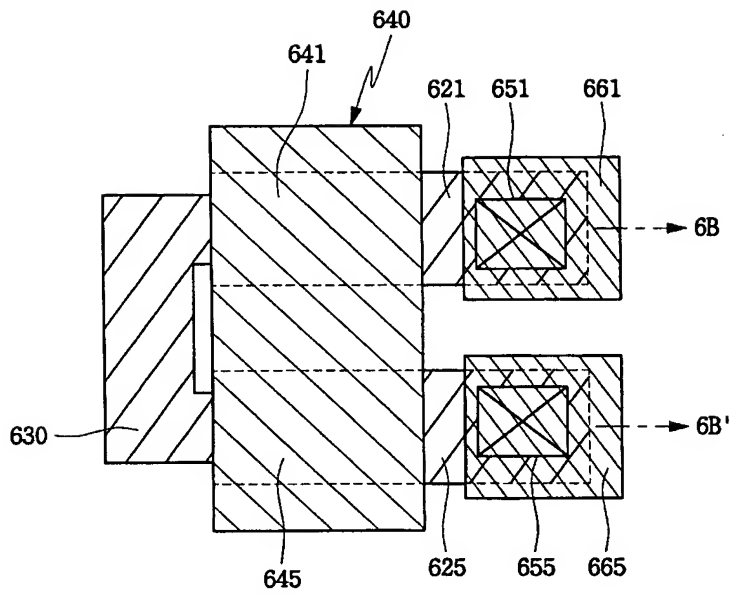


【도 4b】

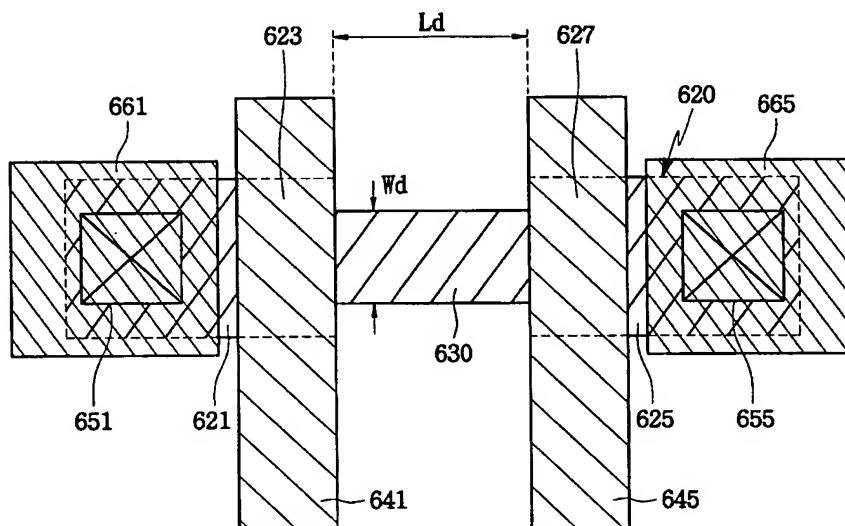


[illegible]

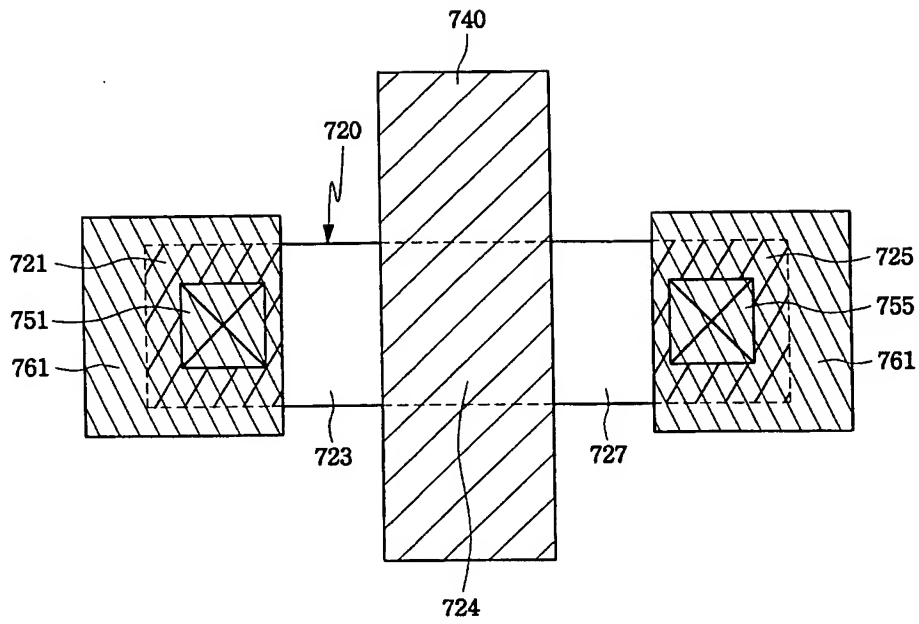
【도 6a】



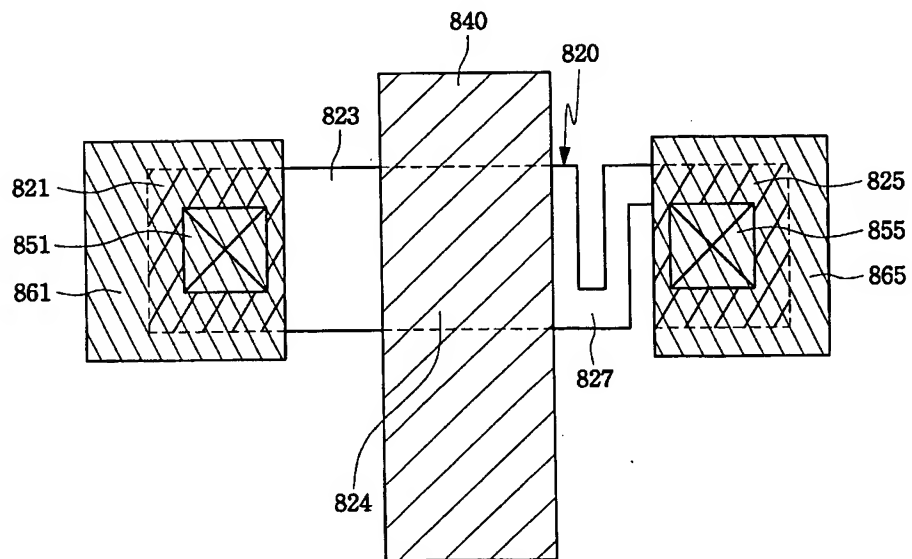
【도 6b】



【도 7】



【도 8】





【도 9】

